

Table des matières

Introduction	1
I Vocabulaire	7
1 Modèles de conception	9
1.1 Variables et fonctions booléennes	9
1.2 Fonctions combinatoires	12
1.2.1 Exemple	13
1.3 Fonctions définies structurellement	14
1.4 Fonctions séquentielles	18
1.4.1 Automates synchrones	23
1.4.2 Automates avec variables	27
1.4.3 Machines de Moore, machines de Mealy	30
1.4.4 Composition d'automates	36
2 Analyse temporelle	45
2.1 Définitions	45
2.2 Premier exemple	49
2.3 Analyse de chemins. Circuits combinatoires	51
2.3.1 Analyse dynamique	51
2.3.2 Analyse statique	53
2.4 Circuits séquentiels	55
2.4.1 Exemple introductif	56
2.4.2 Généralisation	58
2.4.3 Application	60
3 FPGA	63
3.1 Principe et architecture élémentaire	63
3.1.1 Blocs logiques	63
3.1.2 Réseau d'interconnexion	65
3.1.3 Blocs d'entrée-sortie	66
3.2 Configuration et programmation	66

3.3	Architectures modernes	67
3.4	Exemple de FPGA : le MAX10 d'Intel	68
3.4.1	Blocs logiques	69
3.4.2	<i>Logic Array Blocks</i>	71
3.4.3	Blocs mémoires	72
3.4.4	Multiplieurs	72
3.4.5	Mémoire FLASH	72
3.5	Flot de conception	73
3.5.1	Bibliothèques de conception	74
3.6	Exemple	74
4	Modélisation en VHDL	77
4.1	Introduction	77
4.2	Premier exemple	78
4.3	Second exemple	80
4.4	Troisième exemple	80
4.5	Modèles structurels	82
4.5.1	Exemple	82
4.6	Modèles séquentiels	84
4.6.1	Premier exemple	84
4.6.2	Signaux et variables	86
4.6.3	Deuxième exemple	87
4.6.4	Automates synchrones	92
4.7	Simulation	100
4.7.1	Premier exemple	101
4.7.2	Second exemple	103
4.7.3	Troisième exemple	105
4.7.4	Quatrième exemple	107
4.8	Généricité	112
4.8.1	Exemple 1	112
4.8.2	Exemple 2	114
4.8.3	Exemple 3	115
4.8.4	Exemple 4	117
4.9	Synthèse	119
4.9.1	Exemple 1	119
4.9.2	Exemple 2	119
4.9.3	Exemple 3	121
4.9.4	Exemple 4	123
4.9.5	Quelques règles pour la synthèse	124
4.9.6	Inférence de registres	131

II Exemples	135
5 Exemple 1	
PGCD	137
5.1 Algorithme	137
5.2 Spécification du circuit	138
5.2.1 Formalisation	140
5.3 Modèle comportemental du circuit	141
5.3.1 Simulation	142
5.4 Traduction en VHDL	144
5.4.1 Simulation	146
5.4.2 Synthèse	148
6 Exemple 2	
Filtre FIR	151
6.1 Définition	151
6.2 FIR d'ordre 3	152
6.2.1 Modélisation	153
6.2.2 Simulation	154
6.2.3 Traduction en VHDL RTL	154
6.2.4 Simulation	157
6.2.5 Synthèse	159
6.3 FIR d'ordre N	160
6.3.1 Traduction en VHDL	160
6.3.2 Simulation	162
6.3.3 Synthèse	164
6.3.4 Reformulation avec un modèle bi-processus	165
6.3.5 Reformulation avec un modèle architectural	167
6.4 FIR programmable	170
6.4.1 Simulation	175
6.4.2 Synthèse	176
7 Exemple 3	
Convolveur	179
7.1 Définitions	179
7.2 Formulation impérative	181
7.3 Spécifications du circuit	181
7.4 Modélisation	185
7.5 Traduction en VHDL	187
7.5.1 Bloc MSFL	189
7.5.2 Bloc CONV_OP	193
7.5.3 Bloc SHIFT	195
7.6 Simulation	198

7.6.1	Premier <i>testbench</i>	198
7.6.2	Second <i>testbench</i>	200
7.7	Synthèse	208
8	Exemple 4	
	UART	211
8.1	Définitions	211
8.2	Spécifications	212
8.3	Modélisation	214
8.3.1	Bloc TX - modèle comportemental	214
8.3.2	Bloc RX - modèle comportemental	219
8.3.3	Modèle complet en VHDL	222
8.3.4	Simulation	223
8.4	Synthèse	227
8.5	Variante	227
8.5.1	Reformulation du modèle TX	228
8.5.2	Reformulation du modèle RX	229
8.5.3	Modèle POPC	231
8.5.4	Modèle complet	245
8.5.5	Simulation	245
8.5.6	Synthèse	245
9	Exemple 5	
	Micro-calculette	249
9.1	Notation polonaise inverse	250
9.2	Spécifications	250
9.3	Modélisation	252
9.3.1	Bloc CALC_CORE	253
9.3.2	Bloc C2T	263
9.3.3	Bloc T2C	268
9.3.4	Modèle complet	275
9.4	Simulation	276
9.5	Synthèse	280
9.6	Réalisation	281
9.6.1	La carte DE10-Lite	281
9.6.2	Le composant <i>vjuart</i>	283
9.6.3	Projet QUARTUS	284
9.6.4	Résultats	287

III Annexes	289
A Le logiciel Quartus	291
A.1 Création d'un projet	292
A.2 Analyse et synthèse	296
A.3 Simulation	297
A.4 Compilation	301
A.5 Programmation du circuit	303
A.6 Code source	306
B Le logiciel GHDL	309
B.1 Installation	309
B.2 Utilisation	310
C Le logiciel RFSM	313
D Bibliothèque MSI	321
Glossaire	327
Bibliographie	331
Index	333